

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-232096

[ST.10/C]:

[JP2002-232096]

出 願 人

Applicant(s):

富士通株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103564

【書類名】 特許願

【整理番号】 0240411

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 齋藤 則章

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 相澤 克明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 木谷 和弘

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】

 【予納台帳番号】 041759

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906241

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 MOS トランジスタのドレインが抵抗素子を介して、パッドと内部回路とを接続する信号線に接続され、かつ前記 MOS トランジスタのソースが電源線に接続された保護素子が、前記信号線と前記電源線との間に複数並列に接続された保護回路を具備する半導体集積回路装置であって、

各保護素子内の前記抵抗素子の抵抗値は、前記パッドから前記内部回路へ向かって 1 または複数個おきに小さくなっていることを特徴とする半導体集積回路装置。

【請求項 2】 MOS トランジスタのドレインが抵抗素子を介して、パッドと内部回路とを接続する信号線に接続され、かつ前記 MOS トランジスタのソースが電源線に接続された保護素子が、前記信号線と前記電源線との間に複数並列に接続された保護回路を具備する半導体集積回路装置であって、

各保護素子内の前記抵抗素子の抵抗値は、前記パッド側に隣り合う別の保護素子内の抵抗素子の抵抗値よりも小さく、かつ前記内部回路側に隣り合う別の保護素子内の抵抗素子の抵抗値よりも大きいことを特徴とする半導体集積回路装置。

【請求項 3】 前記抵抗素子の抵抗値は、前記パッドから前記内部回路へ向かって、前記信号線の寄生抵抗に応じて小さくなっていることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】 前記抵抗素子は、半導体基板に形成されたポリシリコン抵抗でできていることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 5】 前記抵抗素子は、半導体基板に形成されたウェル抵抗でできていることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 6】 前記抵抗素子は、半導体基板に形成されたシリサイド抵抗でできていることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 7】 前記抵抗素子は、半導体基板に形成されたシリサイドブロックでできていることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 8】 前記抵抗素子は、前記信号線に接続するドレイン配線の配線長および配線幅の一方または両方を変えることにより、その抵抗値が変わる素子であることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 9】 前記抵抗素子は、前記信号線に接続するドレイン配線とドレイン領域とを電氣的に接続するコンタクト部の数を変えることにより、その抵抗値が変わる素子であることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【請求項 10】 前記抵抗素子は、上述した請求項 4 ～ 7 のいずれか 2 以上を組み合わせた素子であることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電気による MOS トランジスタの静電破壊を防ぐための保護素子を備えた半導体集積回路装置に関する。

【0002】

CMOS 半導体回路よりなる集積回路では、I/O 回路（入出力回路）を静電気破壊から保護するための保護素子が設けられている。この保護素子が MOS トランジスタにより構成される場合、その保護素子自体が静電気により破壊されるのを防ぐ必要がある。

【0003】

【従来の技術】

半導体集積回路の I/O 回路として、狭ピッチ I/O 回路が知られている。これは、I/O 回路に予めトランジスタを複数配置しておき、それらトランジスタを接続する配線を適宜変更することにより、所望の構成および特性の I/O 回路

を作製するというものである。図 9 は、そのような狭ピッチ I/O 回路において適用されている従来の保護回路の構成を示す回路図である。

【0004】

図 9 に示すように、パッド 1 と内部回路 2 とを接続する信号線 3 と、相対的に電位レベルが高い電源電圧 VDD との間に、複数の P チャンネル MOS トランジスタ PT_1, PT_2, \dots, PT_n が並列に接続されており、それらトランジスタのドレインと信号線 3 との間には、それぞれ抵抗 4 が接続されている。また、前記信号線 3 と、相対的に電位レベルが低い電源電圧 VSS との間には、複数の N チャンネル MOS トランジスタ NT_1, NT_2, \dots, NT_n が並列に接続されており、それらトランジスタのドレインと信号線 3 との間には、それぞれ抵抗 5 が接続されている。

【0005】

図 10 は、図 9 に示す従来の保護回路を構成する各素子の平面レイアウト図であり、同図では、信号線 3 は仮想線（二点鎖線）で示されている。図 10 に示す構成では、P チャンネル MOS トランジスタ $PT_1, \dots, PT_{n-1}, PT_n$ からなる P チャンネルトランジスタ領域 6 の上述した各抵抗 4 は、それらトランジスタのドレイン側に形成されたシリサイドブロック 7 により構成されている。同様に、N チャンネル MOS トランジスタ $NT_1, \dots, NT_{n-1}, NT_n$ からなる N チャンネルトランジスタ領域 8 の上述した各抵抗 5 は、いずれも各トランジスタのドレイン側に形成されたシリサイドブロック 9 により構成されている。

【0006】

【発明が解決しようとする課題】

しかしながら、図 9 に示す従来の保護回路では、信号線 3 に寄生抵抗があるため、つぎのような問題点がある。たとえば、図 11 に示すように、信号線 3 のパッド 1 側の点を A 点、N チャンネルトランジスタ領域 8 と P チャンネルトランジスタ領域 6 との境界点を C 点とし、A 点と C 点との中間点を B 点とする。そして、A 点と B 点との間を領域 A とし、B 点と C 点との間を領域 B とすると、領域 B では、信号線 3 の A 点から B 点までの寄生抵抗（その抵抗値を r_{AB} とする）が加わった状態になる。したがって、領域 B の各トランジスタ NT_{m+1}, \dots, NT_n

のドレインと信号線 3 との間には、抵抗値 r の抵抗 5 が接続されているが、実際には、抵抗値が $r + r_{AB}$ の抵抗が接続されていることになる。

【0007】

それに対して、領域 A の各トランジスタ NT_1, \dots, NT_m のドレインと信号線 3 との間には、抵抗値 r の抵抗 5 が接続されているだけである。そのため、パッド 1 から ESD 等の過大入力があった場合、領域 A の方が領域 B よりも、抵抗 5 の抵抗値が小さく見えるので、電流が集中しやすくなり、領域 A のトランジスタ NT_1, \dots, NT_m が破壊されやすくなってしまう。Pチャネルトランジスタ領域 6 についても同様に、パッド 1 に近いトランジスタが破壊されやすくなる。つまり、信号線 3 に寄生抵抗があるため、保護回路の各トランジスタにかかる ESD 負荷が不均一になり、最も大きな ESD 負荷を受けるトランジスタが破壊されてしまう。

【0008】

本発明は、上記問題点に鑑みてなされたものであって、MOS トランジスタの静電破壊を防ぐための保護素子を備えた半導体集積回路装置において、保護回路内の各保護素子にかかる ESD 負荷を均一にし、内部回路保護用トランジスタの破壊を防止することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するため、本発明は、パッドと内部回路とを接続する信号線の寄生抵抗を考慮して、パッド側から内部回路側へ向かって、信号線と電源線との間に並列に接続された複数の保護素子の抵抗値を小さくすることを特徴とする。この発明によれば、各保護素子の抵抗値が同じか、またはほぼ同じになるので、保護素子内の内部回路保護用トランジスタにかかる ESD 負荷が均一になる。

【0010】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0011】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図である。図 1 には、図 1 1 に示す従来の構成に対応する部分（Nチャネルトランジスタ領域）のみが示されている。実施の形態 1 の全体の回路構成は、特に図示しないが、図 9 と同様である。以下、重複する説明については省略する。

【 0 0 1 2 】

図 1 に示すように、Nチャネルトランジスタ領域 2 8 において、領域 A の各抵抗素子 2 5 a の抵抗値は R_A である。また、領域 B の各抵抗素子 2 5 b の抵抗値は R_B である。そして、 R_A は、 R_B よりも、信号線 3 の A 点から B 点までの寄生抵抗の抵抗値 r_{AB} だけ大きくなっている。すなわち、 $R_A = R_B + r_{AB}$ である。換言すれば、 R_B は、 R_A よりも r_{AB} だけ小さくなっている（ $R_B = R_A - r_{AB}$ ）。

【 0 0 1 3 】

ここで、A 点、B 点、C 点、領域 A および領域 B は、図 1 1 に関連して説明した通りである。また、特に図示しないが、Nチャネルトランジスタ領域 2 8 と図示しない内部回路との間に、従来同様、Pチャネルトランジスタ領域が設けられている。この Pチャネルトランジスタ領域についても、Nチャネルトランジスタ領域 2 8 と同様に、たとえば 2 分割されており、パッド側領域の抵抗の抵抗値は、内部回路側領域の抵抗の抵抗値よりも、信号線 3 の寄生抵抗分だけ大きくなっている。

【 0 0 1 4 】

領域 A の内部回路保護用トランジスタ $NT_1 \sim NT_m$ のドレインにそれぞれ接続された抵抗素子 2 5 a、および領域 B の内部回路保護用トランジスタ $NT_{m+1} \sim NT_n$ のドレインにそれぞれ接続された抵抗素子 2 5 b は、たとえば各トランジスタのドレイン側に形成されたシリサイドブロックにより構成されている。シリサイドブロックは、半導体基板上に低抵抗化のためのシリサイド層が形成されない領域に対応する。Nチャネルトランジスタ領域 2 8 および図示しない Pチャネルトランジスタ領域を構成する各素子の平面レイアウトは図 1 0 と同様であるが、Nチャネルトランジスタ領域 2 8 の領域 A と領域 B ではシリサイドブロックの

サイズが異なる。また、Pチャネルトランジスタ領域のパッド側領域と内部回路側領域でもシリサイドブロックのサイズが異なる。

【0015】

図2は、Nチャネルトランジスタ領域28の領域Aと領域Bについてシリサイドブロックのサイズを比較して示す図である。図2に示すように、領域A（同図下側）のシリサイドブロック29aの長さ L_a は、領域B（同図上側）のシリサイドブロック29bの長さ L_b よりも大きい。その差は、信号線3のA点からB点まで（図1参照）の寄生抵抗の抵抗値 r_{AB} に相当する分である。また、領域Aのシリサイドブロック29aの幅と領域Bのシリサイドブロック29bの幅は同じ W である。なお、図2および他の図において、“S”、“D”および“G”はそれぞれソース領域、ドレイン領域およびゲート電極である。

【0016】

特に図示しないが、Pチャネルトランジスタ領域についても同様である。すなわち、パッド側領域のシリサイドブロックの幅と内部回路側領域のシリサイドブロックの幅は同じである。また、パッド側領域のシリサイドブロックの長さは、内部回路側領域のシリサイドブロックの長さよりも、信号線3の寄生抵抗に相当する分だけ大きくなっている。

【0017】

また、図3に示すように、領域Aの各抵抗素子25aおよび領域Bの各抵抗素子25bを、たとえばシリサイド抵抗39a、39bで構成してもよい。この場合、シリサイド抵抗39a、39bは、たとえば信号線3の下に形成されており、その一端が信号線3にコンタクト部31a、31bを介して電氣的に接続されている。シリサイド抵抗39a、39bの他端は、コンタクト部32a、32bを介してドレイン配線33a、33bに電氣的に接続されている。領域Aのドレイン配線33aは、コンタクト部34aを介して領域AのMOSトランジスタのドレイン領域に電氣的に接続されている。領域Bのドレイン配線33bは、コンタクト部34bを介して領域BのMOSトランジスタのドレイン領域に電氣的に接続されている。

【0018】

Nチャネルトランジスタ領域28の領域Aと領域Bとで異なる点は、シリサイド抵抗39a, 39bのサイズである。また、Pチャネルトランジスタ領域のパッド側領域と内部回路側領域でもシリサイド抵抗のサイズが異なる。図4は、Nチャネルトランジスタ領域28の領域Aと領域Bについてシリサイド抵抗39a, 39bのサイズを比較して示す図である。図4に示すように、領域A（同図右側）のシリサイド抵抗39aの幅 W_a は、領域B（同図左側）のシリサイド抵抗39bの幅 W_b よりも小さい。その差は、信号線3のA点からB点まで（図1参照）の寄生抵抗の抵抗値 r_{AB} に相当する分である。また、領域Aのシリサイド抵抗39aの長さ L_a と領域Bのシリサイド抵抗39bの長さ L_b は L と同じである。

【0019】

特に図示しないが、Pチャネルトランジスタ領域についても同様である。すなわち、パッド側領域のシリサイド抵抗の長さ L_a と内部回路側領域のシリサイド抵抗の長さ L_b は同じである。また、パッド側領域のシリサイド抵抗の幅 W_a は、内部回路側領域のシリサイド抵抗の幅 W_b よりも、信号線3の寄生抵抗に相当する分だけ小さくなっている。

【0020】

上述した実施の形態1によれば、パッド1と内部回路とを接続する信号線3に並列に接続された複数の保護素子の抵抗値が同じか、またはほぼ同じになるので、各保護素子内の内部回路保護用トランジスタにかかるESD負荷が均一になり、ESD等の過大入力による負荷が、複数の内部回路保護用トランジスタに分散される。したがって、ESD等の過大入力時に、一部の保護素子が先に破壊するのを抑制することができる。その結果、内部回路の保護を強化することができる。

【0021】

（実施の形態2）

図5は、本発明の実施の形態2にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図である。図5には、図11に示す従来の構成に対応する部分（Nチャネルトランジスタ領域）のみが示されている。図5に示すように、実施の形態2は、図1に示す実施の形態1において、各保護素子内の抵抗素子（実施

の形態1では25aと25b)をシリサイドブロックとシリサイド抵抗の直列体で構成したものである。その他の構成は実施の形態1と同じであるので、重複する説明を省略する。

【0022】

Nチャネルトランジスタ領域28において、領域Aのシリサイドブロックよりなる各抵抗素子45a、および領域Bのシリサイドブロックよりなる各抵抗素子45bの抵抗値は同じ r_s である。また、領域Aのシリサイド抵抗よりなる各抵抗素子46aの抵抗値 r_a は、領域Bのシリサイド抵抗よりなる各抵抗素子46bの抵抗値 r_b よりも、信号線3のA点からB点までの寄生抵抗の抵抗値 r_{AB} だけ大きくなっている。すなわち、 $r_a = r_b + r_{AB}$ である。換言すれば、 r_b は、 r_a よりも r_{AB} だけ小さくなっている($r_b = r_a - r_{AB}$)。Pチャネルトランジスタ領域についても同様である。

【0023】

図6は、図5に示す保護回路を構成する各素子の平面レイアウト図である。図6に示すように、各抵抗素子45a、45bを構成するシリサイドブロック49a、49bは、実施の形態1の第1の例(図2参照)と同様に、それぞれ対応する内部回路保護用トランジスタ $NT_1 \sim NT_n$ のドレイン側に形成されている。領域Aのシリサイドブロック49aと領域Bのシリサイドブロック49bのサイズは同じである。

【0024】

各抵抗素子46a、46bを構成するシリサイド抵抗59a、59bは、実施の形態1の第2の例(図3参照)と同様に、その一端が信号線3にコンタクト部51a、51bを介して電氣的に接続されている。シリサイド抵抗59a、59bの他端は、コンタクト部52a、52bを介してドレイン配線53a、53bに電氣的に接続されている。領域Aのドレイン配線53aは、コンタクト部54aを介して領域AのMOSトランジスタのドレイン領域に電氣的に接続されている。領域Bのドレイン配線53bは、コンタクト部54bを介して領域BのMOSトランジスタのドレイン領域に電氣的に接続されている。

【0025】

図 7 は、シリサイド抵抗 5 9 a, 5 9 b のサイズを比較して示す図である。図 7 に示すように、領域 A (同図右側) のシリサイド抵抗 5 9 a の長さ L_a は、信号線 3 の A 点から B 点まで (図 5 参照) の寄生抵抗の抵抗値 r_{AB} に相当する分だけ、領域 B (同図左側) のシリサイド抵抗 5 9 b の長さ L_b よりも大きい。領域 A のシリサイド抵抗 5 9 a の幅と領域 B のシリサイド抵抗 5 9 b の幅は同じ W である。特に図示しないが、P チャンネルトランジスタ領域についても同様である。

【 0 0 2 6 】

また、図 8 に示すように、各保護素子内の抵抗素子をシリサイドブロック 4 9 a, 4 9 b と、ドレイン電極 6 3 a, 6 3 b を信号線 3 に電氣的に接続するドレイン配線 6 9 a, 6 9 b の直列体で構成してもよい。領域 A において、ドレイン電極 6 3 a は、コンタクト部 6 4 a を介して MOS トランジスタのドレイン領域に電氣的に接続されている。領域 B についても同様であり、ドレイン電極 6 3 b は、コンタクト部 6 4 b を介して MOS トランジスタのドレイン領域に電氣的に接続されている。

【 0 0 2 7 】

領域 A のシリサイドブロック 4 9 a と領域 B のシリサイドブロック 4 9 b は、同じサイズであり、それぞれ対応する内部回路保護用トランジスタ $NT_1 \sim NT_n$ のドレイン側に形成されている。領域 A のドレイン配線 6 9 a は、信号線 3 の A 点から B 点まで (図 5 参照) の寄生抵抗の抵抗値 r_{AB} に相当する分だけ、領域 B のドレイン配線 6 9 b よりも長くなっている。特に図示しないが、P チャンネルトランジスタ領域についても同様である。

【 0 0 2 8 】

上述した実施の形態 2 によれば、実施の形態 1 と同様に、各保護素子内の内部回路保護用トランジスタにかかる ESD 負荷が均一になり、ESD 等の過大入力による負荷が、複数の内部回路保護用トランジスタに分散されるので、ESD 等の過大入力時に、一部の保護素子が先に破壊するのを抑制することができる。その結果、内部回路の保護を強化することができる。

【 0 0 2 9 】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、保護素子内の抵抗素子として、シリサイドブロックとシリサイド抵抗を組み合わせた構成において、シリサイドブロックの抵抗値を変える構成としてもよいし、シリサイドブロックとシリサイド抵抗の両方の抵抗値を変える構成としてもよい。また、保護素子内の抵抗素子として、ポリシリコン抵抗やウェル抵抗を用いてもよい。また、信号線3に接続するドレイン配線の幅を変えることにより、保護素子内の抵抗素子の抵抗値を変える構成としてもよいし、信号線3に接続するドレイン配線と、内部回路保護用トランジスタのドレイン領域とを電気的に接続するコンタクト部の数を変えることにより、保護素子内の抵抗素子の抵抗値を変える構成としてもよい。

【 0 0 3 0 】

また、シリサイドブロック、シリサイド抵抗、ポリシリコン抵抗、ウェル抵抗、ドレイン配線による抵抗、およびドレイン配線とドレイン領域とを電気的に接続するコンタクト部による抵抗を、適宜組み合わせた構成としてもよい。また、Nチャネルトランジスタ領域とPチャネルトランジスタ領域のそれぞれについて、上述した各実施の形態では二つの領域（AとB）に分けているが、3以上の領域に分けてもよい。また、Nチャネルトランジスタ領域を一つの領域とし、その中の各保護素子内の抵抗値を一つずつ変えるようにしてもよい。Pチャネルトランジスタ領域についても同様であり、Pチャネルトランジスタ領域を一つの領域とし、その中の各保護素子内の抵抗値を一つずつ変えるようにしてもよい。また、本発明は、狭ピッチI/O回路以外のI/O回路にも適用可能である。

【 0 0 3 1 】

（付記1）MOSトランジスタのドレインが抵抗素子を介して、パッドと内部回路とを接続する信号線に接続され、かつ前記MOSトランジスタのソースが電源線に接続された保護素子が、前記信号線と前記電源線との間に複数並列に接続された保護回路を具備する半導体集積回路装置であって、

各保護素子内の前記抵抗素子の抵抗値は、前記パッドから前記内部回路へ向かって1または複数個おきに小さくなっていることを特徴とする半導体集積回路装置。

【 0 0 3 2 】

（付記 2）M O S トランジスタのドレインが抵抗素子を介して、パッドと内部回路とを接続する信号線に接続され、かつ前記 M O S トランジスタのソースが電源線に接続された保護素子が、前記信号線と前記電源線との間に複数並列に接続された保護回路を具備する半導体集積回路装置であって、

各保護素子内の前記抵抗素子の抵抗値は、前記パッド側に隣り合う別の保護素子内の抵抗素子の抵抗値よりも小さく、かつ前記内部回路側に隣り合う別の保護素子内の抵抗素子の抵抗値よりも大きいことを特徴とする半導体集積回路装置。

【 0 0 3 3 】

（付記 3）前記抵抗素子の抵抗値は、前記パッドから前記内部回路へ向かって、前記信号線の寄生抵抗に応じて小さくなっていることを特徴とする付記 1 または 2 に記載の半導体集積回路装置。

【 0 0 3 4 】

（付記 4）前記抵抗素子は、半導体基板に形成されたポリシリコン抵抗でできていることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 3 5 】

（付記 5）前記抵抗素子は、半導体基板に形成されたウェル抵抗でできていることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 3 6 】

（付記 6）前記抵抗素子は、半導体基板に形成されたシリサイド抵抗でできていることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 3 7 】

（付記 7）前記抵抗素子は、半導体基板に形成されたシリサイドブロックでできていることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 3 8 】

（付記 8）前記抵抗素子は、前記信号線に接続するドレイン配線の配線長および配線幅の一方または両方を変えることにより、その抵抗値が変わる素子であることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 3 9 】

（付記 9）前記抵抗素子は、前記信号線に接続するドレイン配線とドレイン領域とを電氣的に接続するコンタクト部の数を変えることにより、その抵抗値が変わる素子であることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 4 0 】

（付記 1 0）前記抵抗素子は、上述した付記 4 ～ 7 のいずれか 2 以上を組み合わせた素子であることを特徴とする付記 1 ～ 3 のいずれか一つに記載の半導体集積回路装置。

【 0 0 4 1 】

（付記 1 1）I / O 回路に複数のトランジスタを配置し、それらトランジスタを接続する配線を変更することにより、所望の構成の I / O 回路を得る方式の狭ピッチ I / O 回路において、

上述した付記 1 ～ 1 0 のいずれか一つに記載の保護回路が設けられていることを特徴とする半導体集積回路装置。

【 0 0 4 2 】

【発明の効果】

本発明によれば、パッドと内部回路とを接続する信号線と電源線との間に並列に接続された複数の保護素子の抵抗値が同じか、またはほぼ同じになるので、各保護素子内の内部回路保護用トランジスタにかかる E S D 負荷が均一になる。したがって、E S D 等の過大入力による負荷は、複数の内部回路保護用トランジスタに分散されるので、一部の内部回路保護用トランジスタが破壊するのを防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図である。

【図 2】

図 1 に示す半導体集積回路装置の N チャネルトランジスタ領域の領域 A と領域

Bについてシリサイドブロックのサイズを比較して示す図である。

【図 3】

図 1 に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイド抵抗で構成した例の各素子の平面構成の一部を示すレイアウト図である。

【図 4】

図 1 に示す半導体集積回路装置の N チャンネルトランジスタ領域の領域 A と領域 B についてシリサイド抵抗のサイズを比較して示す図である。

【図 5】

本発明の実施の形態 2 にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図である。

【図 6】

図 5 に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイドブロックとシリサイド抵抗で構成した例の各素子の平面構成の一部を示すレイアウト図である。

【図 7】

図 5 に示す半導体集積回路装置の N チャンネルトランジスタ領域の領域 A と領域 B についてシリサイド抵抗のサイズを比較して示す図である。

【図 8】

図 5 に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイドブロックとドレイン配線で構成した例の各素子の平面構成の一部を示すレイアウト図である。

【図 9】

従来の I / O 回路に適用されている保護回路の構成を示す回路図である。

【図 1 0】

従来の I / O 回路に適用されている保護回路の各素子の平面構成を示すレイアウト図である。

【図 1 1】

従来の I / O 回路に適用されている保護回路の一部の構成を示す回路図である。

【符号の説明】

$NT_1 \sim NT_n$ MOSトランジスタ（内部回路保護用トランジスタ）

1 パッド

2 内部回路

3 信号線

25 a, 25 b, 45 a, 45 b, 46 a, 46 b 抵抗素子

29 a, 29 b, 49 a, 49 b シリサイドブロック

39 a, 39 b, 59 a, 59 b シリサイド抵抗

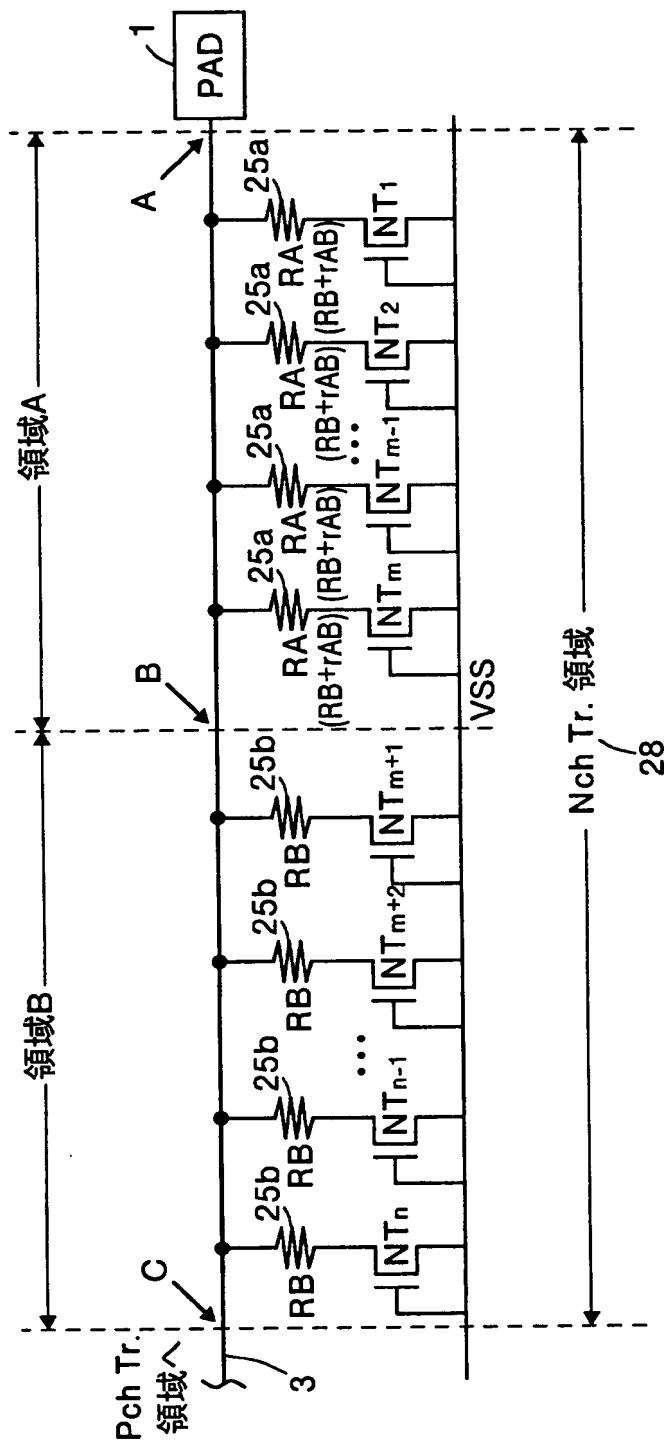
69 a, 69 b ドレイン配線

【書類名】

【図 1】

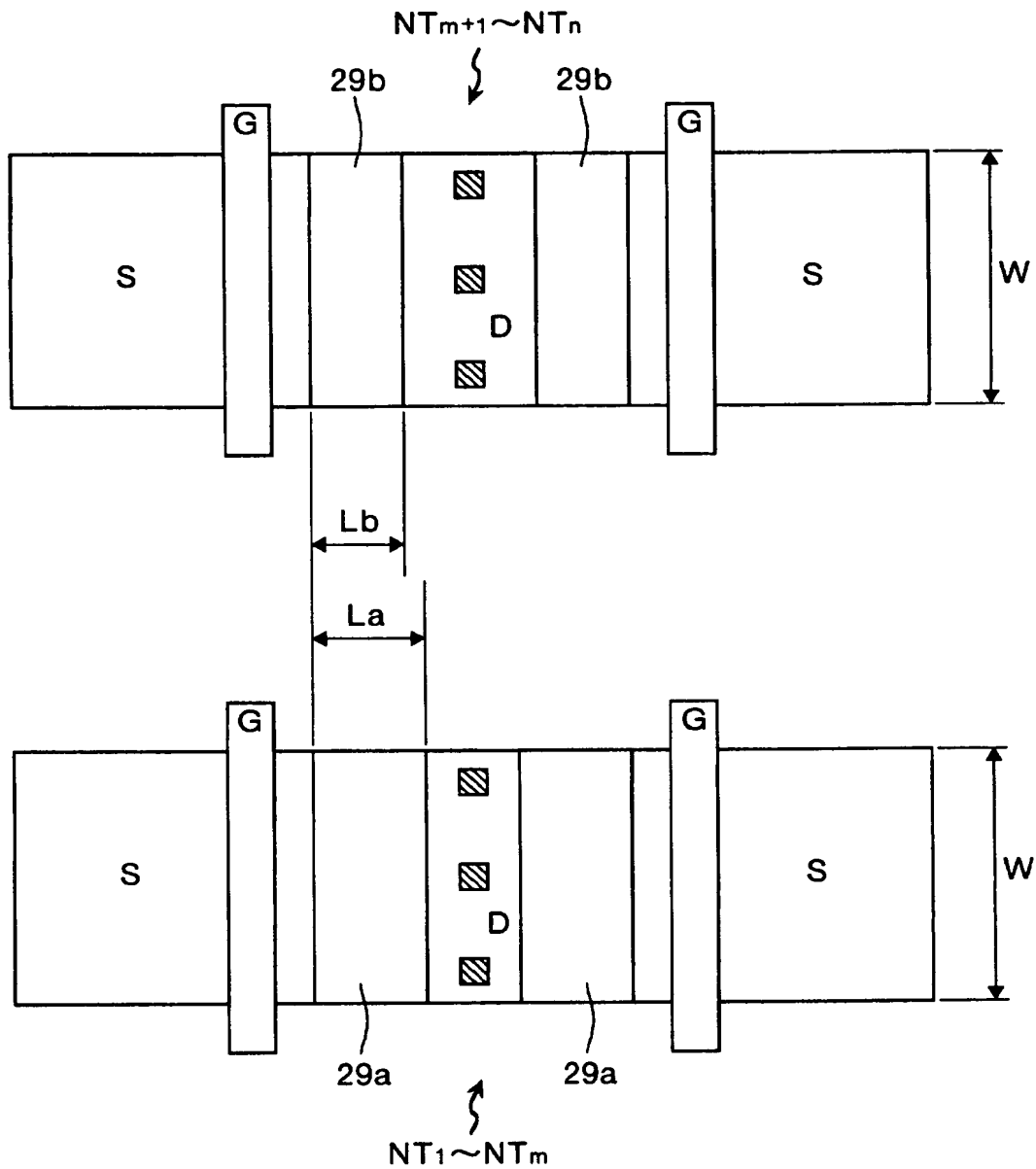
図面

本発明の実施の形態 1 にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図



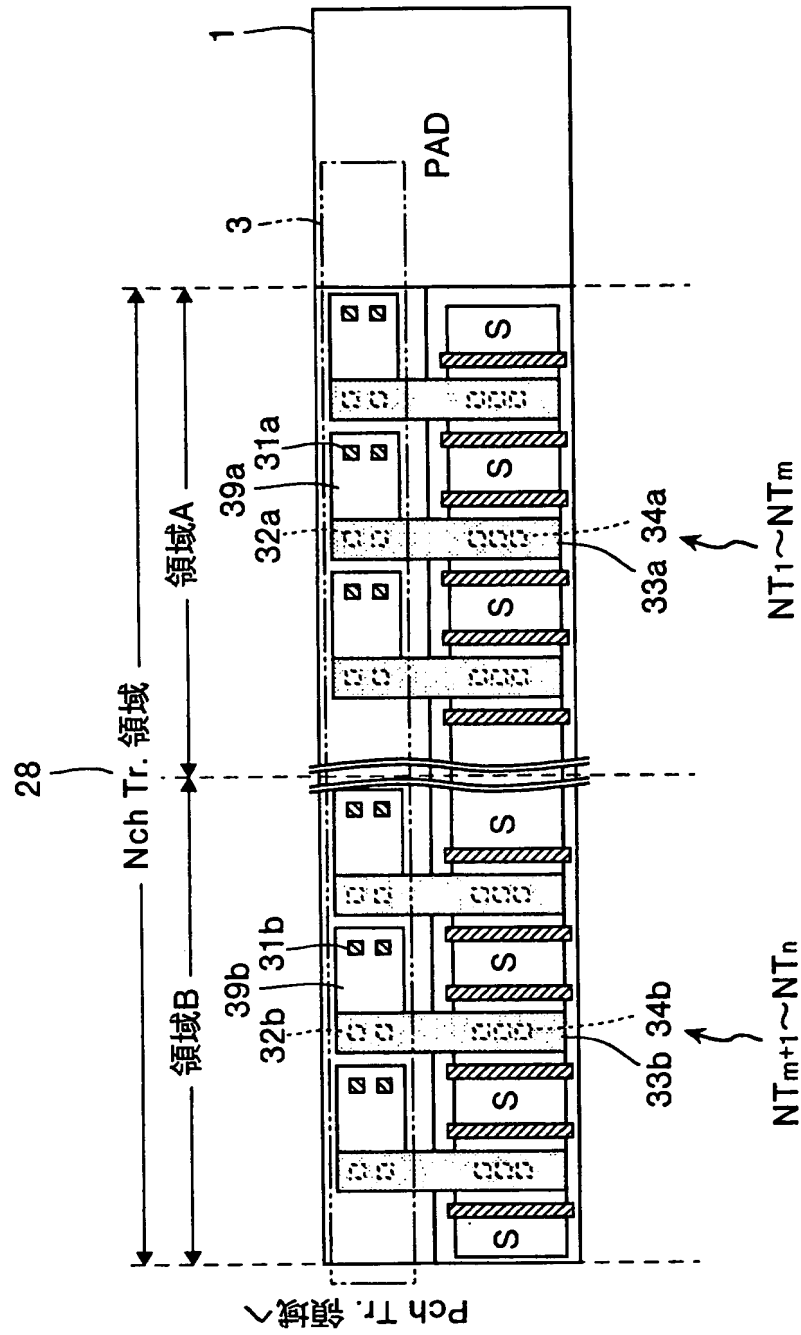
【図 2】

図 1 に示す半導体集積回路装置の
N チャネルトランジスタ領域の領域 A と領域 B について
シリサイドブロックのサイズを比較して示す図



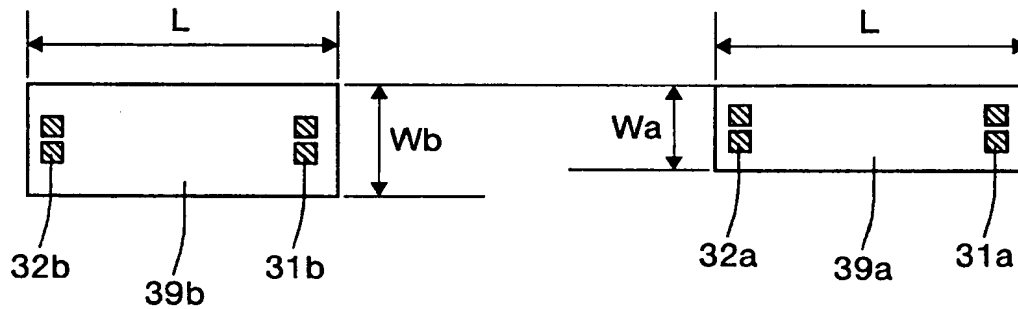
【図 3】

図 1 に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイド抵抗で構成した例の各素子の平面構成の一部を示すレイアウト図



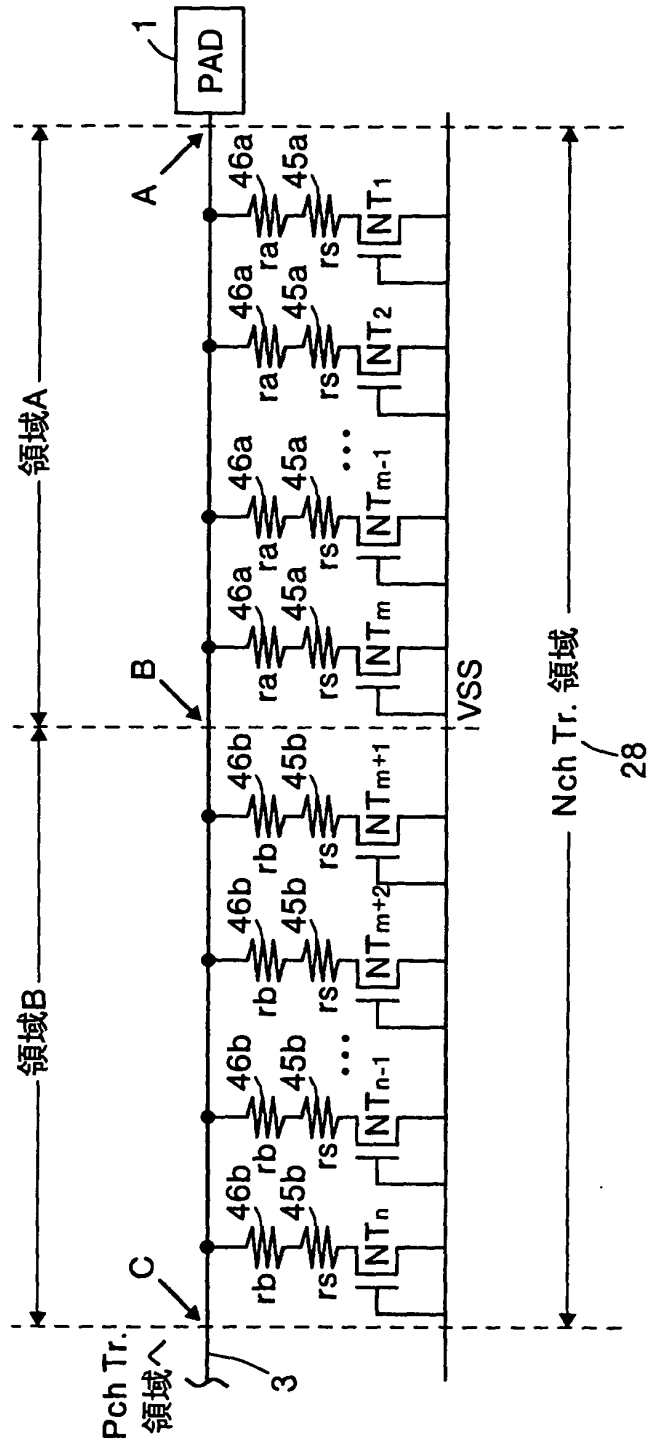
【図 4】

図 1 に示す半導体集積回路装置の N チャネルトランジスタ領域の領域 A と領域 B についてシリサイド抵抗のサイズを比較して示す図



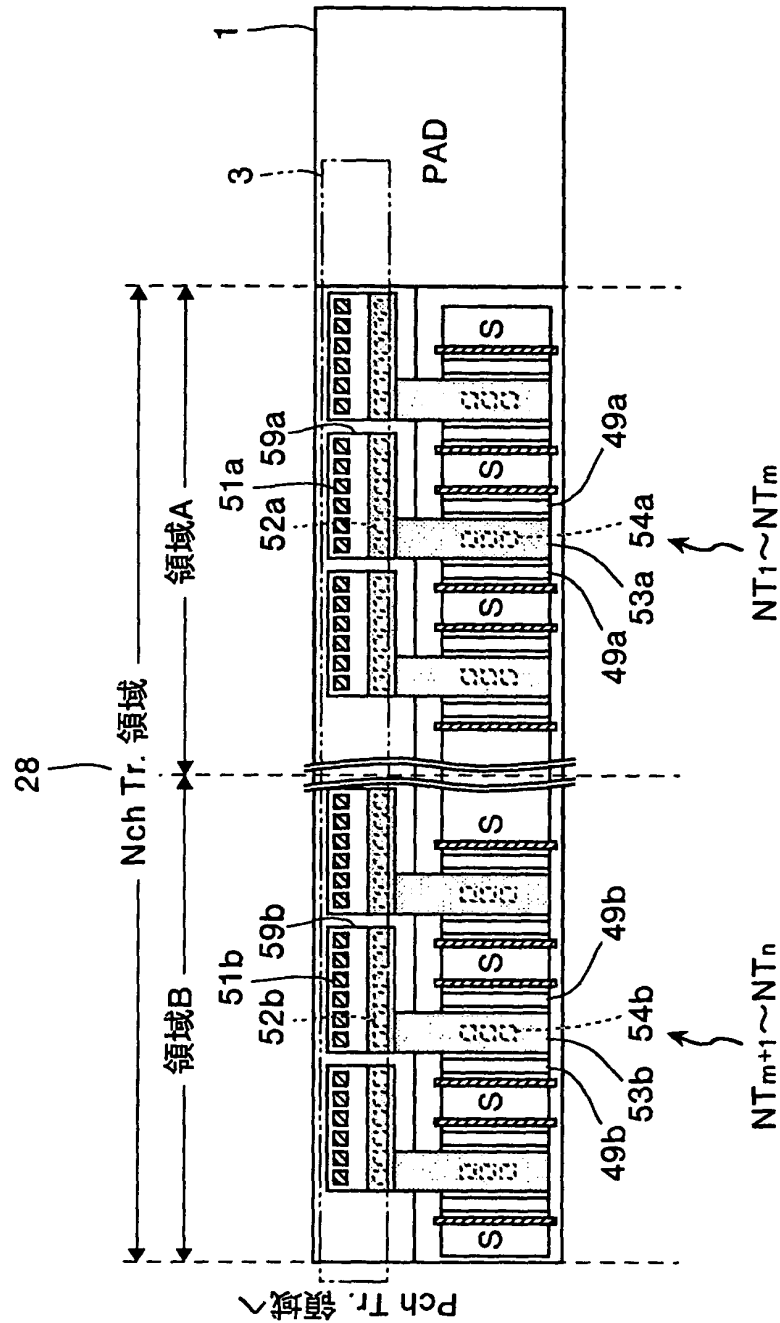
【図 5】

本発明の実施の形態 2 にかかる半導体集積回路装置の保護回路の一部の構成を示す回路図



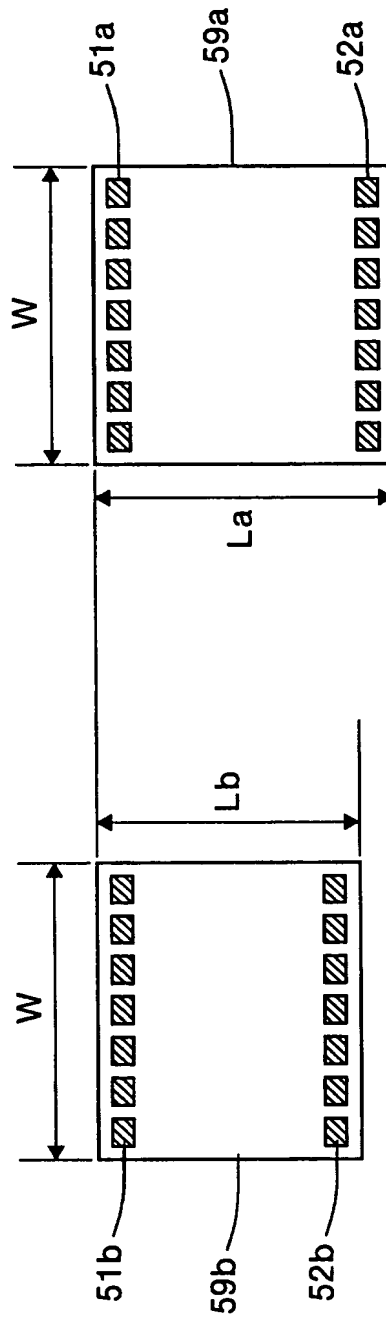
【図6】

図5に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイドブロックとシリサイド抵抗で構成した例の各素子の平面構成の一部を示すレイアウト図



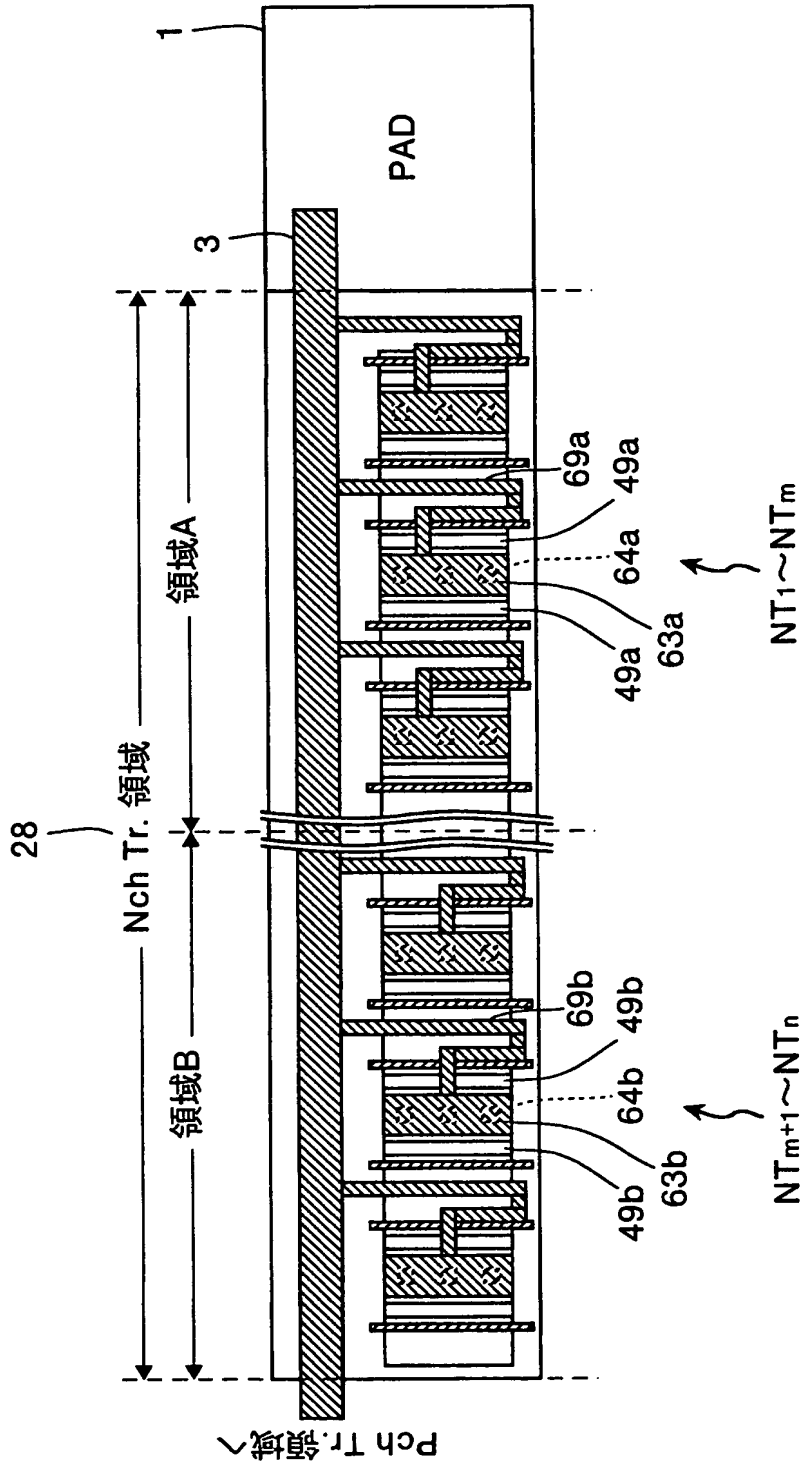
【図 7】

図 5 に示す半導体集積回路装置の N チャンネルトランジスタ領域の領域 A と領域 B についてシリサイド抵抗のサイズを比較して示す図



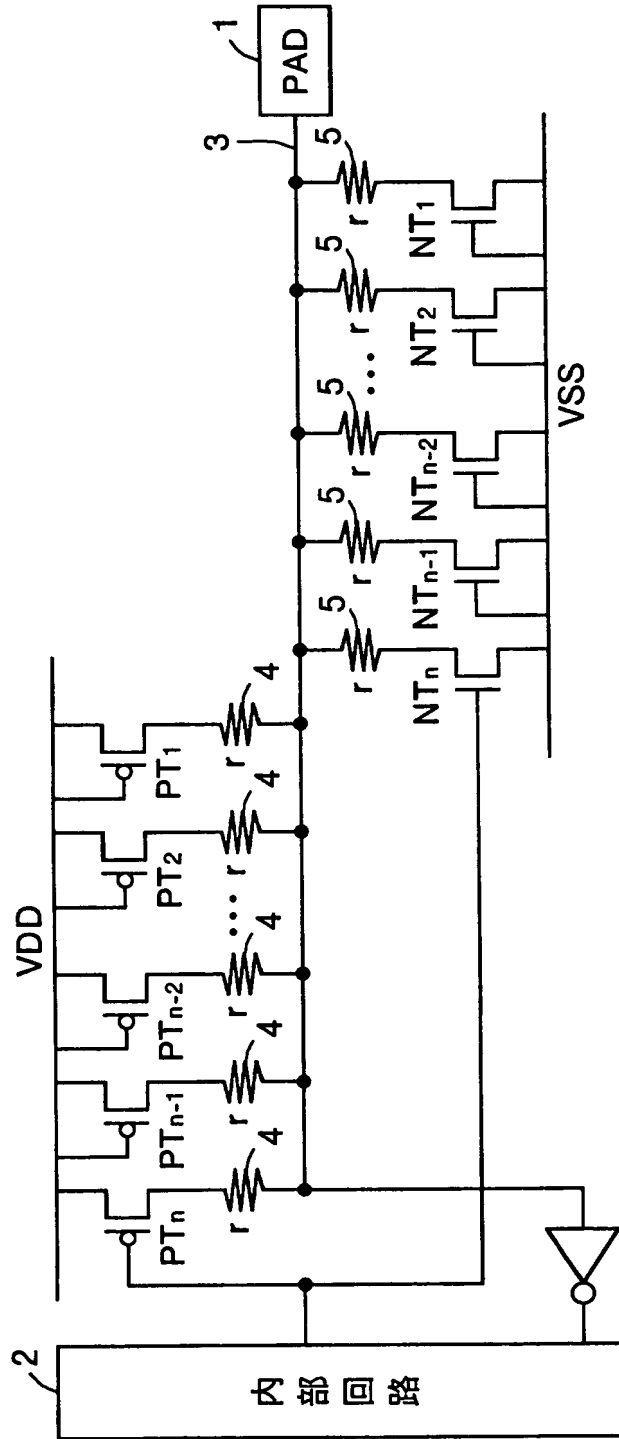
【図 8】

図 5 に示す半導体集積回路装置の保護回路内の抵抗素子をシリサイドブロックとドレイン配線で構成した例の各素子の平面構成の一部を示すレイアウト図



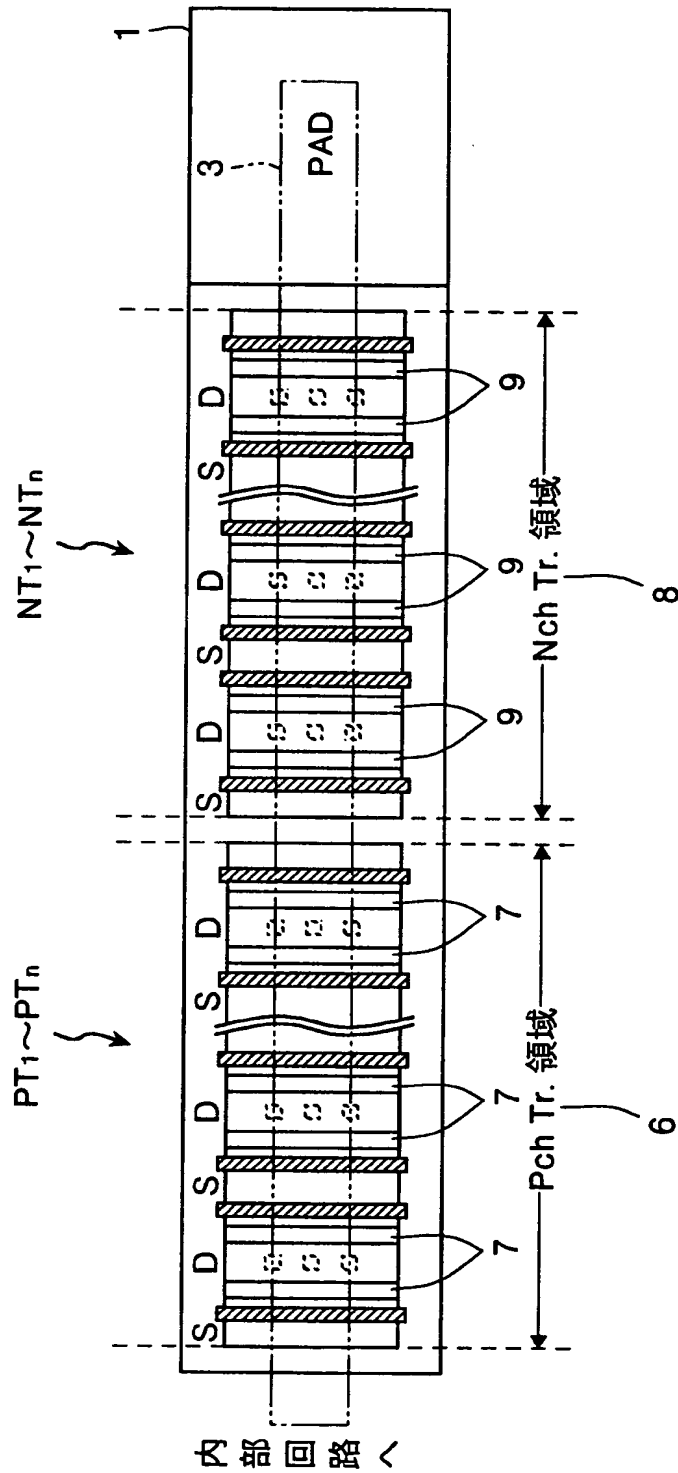
【図9】

従来のI/O回路に適用されている保護回路の構成を示す回路図



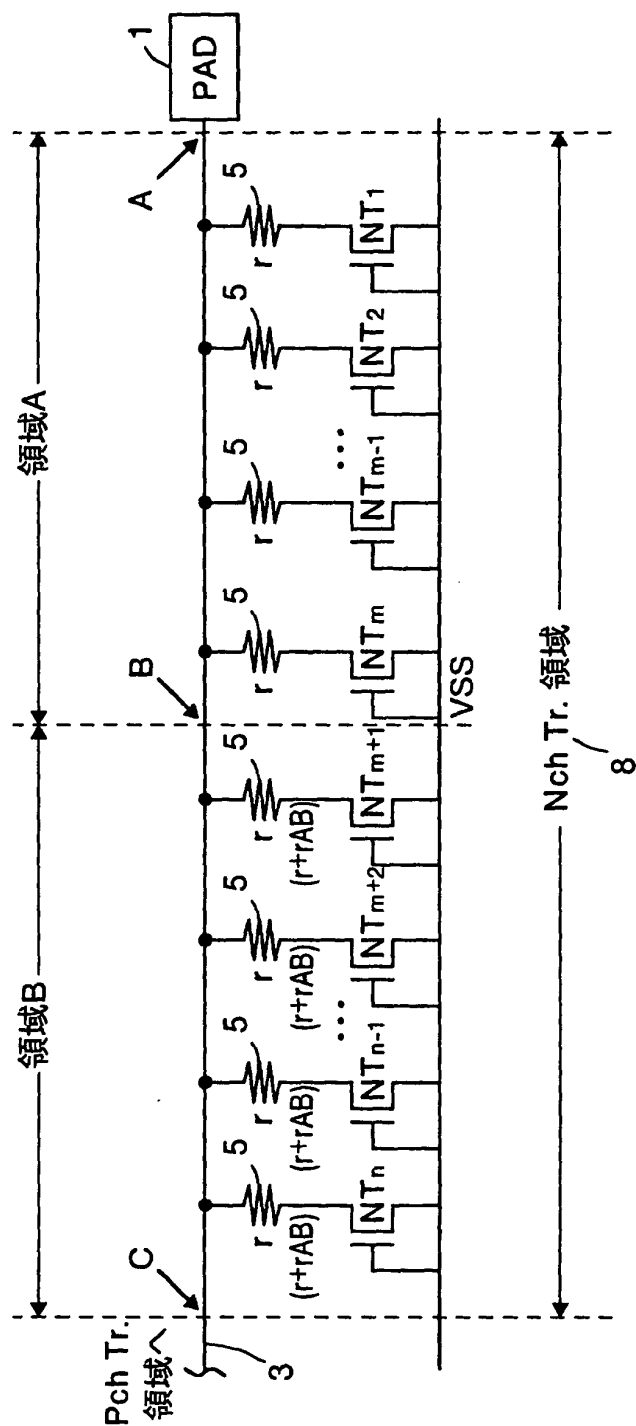
【図10】

従来のI/O回路に適用されている保護回路の各素子の平面構成を示すレイアウト図



【図 11】

従来の I/O 回路に適用されている保護回路の一部の構成を示す回路図



【書類名】 要約書

【要約】

【課題】 MOSトランジスタの静電破壊を防ぐための保護素子を備えた半導体集積回路装置において、保護回路内の各保護素子にかかるESD負荷を均一にし、内部回路保護用トランジスタの破壊を防止すること。

【解決手段】 Nチャネルトランジスタ領域28において、信号線3と電源線VSSとの間に並列に接続された複数の保護素子内の抵抗素子25a, bについて、パッド側の領域Aに含まれる抵抗素子25aの抵抗値RAを、内部回路側の領域Bに含まれる抵抗素子25bの抵抗値RBよりも、信号線3の、パッド側の領域Aに含まれる部分(A点からB点までの部分)の寄生抵抗の抵抗値rABだけ大きくし、各保護素子の抵抗値が同じかまたはほぼ同じになるようにする。Pチャネルトランジスタ領域において、信号線3と電源線VDDとの間に並列に接続された複数の保護素子内の抵抗素子も同様にする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社